

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-50724

(43) 公開日 平成10年(1998) 2月20日

(51) Int.Cl.⁸H 0 1 L 21/336
29/78

識別記号

庁内整理番号

9447-4M

9447-4M

F I

H 0 1 L 29/78

技術表示箇所

6 5 8 H

6 5 5 B

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願平8-200321

(22) 出願日 平成 8 年(1996) 7 月30日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 松田 正

兵庫県姫路市余部区上余部50番地 株式会
社東芝姫路半導体工場内

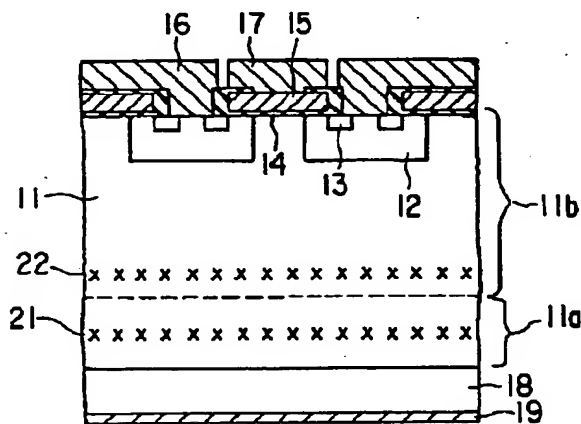
(74) 代理人 弁理士 鈴江 武彦 (外 6 名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】本発明は、イオン線照射により低ライフタイム化が図られてなる I G B T において、耐圧の劣化や漏れ電流およびオン電圧の増大を招くことなく、低電源電圧時のテール電流を抑制できるようにすることを最も主要な特徴とする。

【解決手段】たとえば、非空乏化領域の幅が $40\mu\text{m}$ 以上となるようにして、 N^- 型ベース層 11 を形成する。そして、1 回目の H^{++} の照射により、 N^- 型ベース層 11 内の、P 型コレクタ層 18 より $20\mu\text{m}$ ほどのところに比較的深い再結合順位を有する第 1 の低ライフタイム層 21 を、2 回目の H^{++} の照射により、上記 P 型コレクタ層 18 より $60\mu\text{m}$ ほどのところに比較的浅い再結合順位を有する第 2 の低ライフタイム層 22 をそれぞれ形成する。こうして、過多に残る非空乏化領域 11 a のほぼ全域を低ライフタイム化する構成とされている。



【特許請求の範囲】

【請求項1】 第1導電型の半導体層からなる第1の領域と、

この第1の領域の一面に選択的に形成された第2導電型の半導体層からなる第2の領域と、

この第2の領域の一面に選択的に形成された第1導電型の半導体層からなる第3の領域と、

前記第1の領域の他面に形成された第2導電型の半導体層からなる第4の領域と、

前記第2の領域上の少なくとも一部を含んで、前記第1の領域上に絶縁膜を介して形成された制御電極と、

前記第3の領域上の少なくとも一部を含んで、前記第2の領域上に形成された第1電極と、

前記第4の領域上に形成された第2の電極と、

前記第1の領域内に局在化して配置された複数の再結合中心格子欠陥とを具備したことを特徴とする半導体装置。

【請求項2】 前記各再結合中心格子欠陥は、前記第4の領域に近いほど、深い再結合順位を有することを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記各再結合中心格子欠陥のうち、最も深い再結合順位を有する再結合中心格子欠陥は、その再結合中心のピーク値が、非空乏化領域の幅が少なくとも40μm以上とされた前記第1の領域の、他主面から20μm付近のところにあることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記各再結合中心格子欠陥は、He⁺、H⁺、重陽子などのイオン種の照射により形成されることを特徴とする請求項1に記載の半導体装置。

【請求項5】 前記第1の領域は、その非空乏化領域のほぼ全面が、実質的に低ライフタイム化されていることを特徴とする請求項1に記載の半導体装置。

【請求項6】 前記第1の領域の実効幅(W_B)とその濃度(N_B)およびブレイクダウン電圧(V)が次式の数1

$$W_B > \sqrt{\frac{2\epsilon_s \cdot \epsilon_0 (V_{bi} - V)}{q \cdot N_B}} + 4 \times 10^{-3} \quad (\text{cm})$$

を実質的に満足することを特徴とする請求項1に記載の半導体装置。

【請求項7】 前記第4の領域は、前記第1の領域との接面が凹凸を有して形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項8】 前記第1の領域と前記第4の領域の間には、さらに、第1導電型の半導体層からなる第5の領域が形成されていることを特徴とする請求項1に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、たとえば伝導度変調型の半導体装置に関するもので、特に、IGBT (Insulated Gate Bipolar Transistor) と称される絶縁ゲート型バイポーラトランジスタに用いられるものである。

【0002】

【従来の技術】従来より、IGBTは、MOS-FETとBJTとが複合化した構造として把握ことができ、当該構造および基本動作についてはよく知られている

(たとえば、特開昭57-120369号公報参照)。

【0003】図6は、Nチャネル型を例にIGBTの概略構成を示すものである。たとえば、P型コレクタ層101上に、低不純物濃度の高抵抗N⁻型ベース層102が形成されている。このN⁻型ベース層102の表面にはDSA (Double Diffusion Self Align) 法によりP型ベース層103が、また、このP型ベース層103の表面にはN⁺型エミッタ層104が、それぞれ選択的に形成されている。

【0004】そして、上記N⁻型ベース層102および上記P型ベース層103の表面には、薄い絶縁膜105を介して、ポリシリコンゲート電極106が設けられている。また、上記N⁺型エミッタ層104および上記P型ベース層103の表面には、それぞれを短絡するように金属エミッタ電極107が設けられている。

【0005】さらに、上記ポリシリコンゲート電極106に接続されて金属ゲート電極108が、また、P型コレクタ層101に接続されて金属コレクタ電極109が、それぞれ設けられている。

【0006】次に、上記Nチャネル型IGBTの一般的な製造方法について説明する。まず、P型コレクタ層101をP⁺型基板として、その上に、N⁻型ベース層102を気相成長させてP⁺-N⁻ウェーハを形成する。

【0007】その後、N⁻型ベース層102の表面に絶縁膜105を形成し、さらに、その上にポリシリコンゲート電極106を形成する。次に、ポリシリコンゲート電極106を部分的に開孔し、これをマスクとしてP型ベース層103を形成する。また、P型ベース層103上の絶縁膜105を部分的に開孔し、ポリシリコンゲート電極106と絶縁膜105とをマスクとして、N⁺型エミッタ層104を形成する。

【0008】そして、ポリシリコンゲート電極106およびP型ベース層103上に、再度、絶縁膜105を形成し、それを部分的に除去した後、ポリシリコンゲート電極106およびN⁺型エミッタ層104を含むP型ベース層103の露出部に金属を堆積させて、金属ゲート電極108および金属エミッタ電極107をそれぞれ形成する。

【0009】この後、P⁺型コレクタ層101の下に金属コレクタ電極109を形成して、図6に示したIGBTが得られる。なお、N⁻型ベース層102をN⁻型基

板とし、不純物拡散によりP型コレクタ層101を設けてなるP⁺-N⁻ウェーハを用いても、同様に、IGBTは得られる。

【0010】次に、上記したN⁻チャネル型IGBTの動作原理について説明する。IGBTのターンオンは、金属エミッタ電極107が接地され、金属コレクタ電極109に正電圧が印加された状態で、金属ゲート電極108に金属エミッタ電極107に対して正の電圧を印加することにより実現される。

【0011】すなわち、金属ゲート電極108に正電圧が印加されると、MOS-FETと同様、P型ベース層103の表面に反転チャネルが形成され、この反転チャネルを通して、N⁻型エミッタ層104からN⁻型ベース層102内に電子が流入される。

【0012】これに対して、P型コレクタ層101からN⁻型ベース層102内に電荷中性条件を満たすようにホールの注入が起こり、P型コレクタ層101とN⁻型ベース層102とのPN接合が順バイアス状態となる。これにより、N⁻型ベース層102が伝導度変調を起こし、素子を導通状態へと導く。

【0013】IGBTのオン状態は、以上のように、高抵抗であるN⁻型ベース層102が伝導度変調により、その抵抗成分が極めて小さくなる。このため、N⁻型ベース層102の濃度が低く、かつ、厚い高耐圧素子においても、オン抵抗の極めて小さい特性が得られる。

【0014】一方、IGBTのターンオフは、金属ゲート電極108に、金属エミッタ電極107に対して負の電圧を印加することによって実現される。すなわち、金属ゲート電極108に負電圧が印加されると、反転チャネルは消滅し、N⁻型エミッタ層104からの電子の流入は止まる。しかし、N⁻型ベース層102内には、依然として、電子が存在する。

【0015】N⁻型ベース層102内に蓄積したホールの大部分は、P型ベース層103を通して金属エミッタ電極107へ流出するが、一部は、N⁻型ベース層102内に存在する電子と再結合して消滅する。

【0016】N⁻型ベース層102内に蓄積したホールがすべて消滅した時点で素子は阻止状態となり、ターンオフが完了する。さて、IGBTは、高耐圧素子の中でも、極めて低いオン抵抗を示す優れた素子であるが、少数キャリア素子であるため、ターンオフ時間がMOS-FETなどのユニポーラ素子に比べて長い。

【0017】そこで、IGBTのターンオフ時間の高速化のため、従来は、たとえば図7に示すように、AuやPtなどの重金属拡散、もしくは、中性子線、ガンマ線、電子線などの放射線照射により、N⁻型ベース層102内全域に再結合中心となる欠陥110を発生させることによって、キャリアライフタイムを小さくする方法が取られている。

【0018】しかしながら、この方法では、ターンオフ

時間は改善されるが、同時に、N⁻型ベース層102内全域のキャリアライフタイムが短縮化されてしまうため、N⁻型ベース層102内全域での伝導度変調の度合いも低下してしまい、IGBTの最大の利点である低オン抵抗特性を悪化させるという不具合があった。

【0019】近年、上記の重金属拡散もしくは放射線照射によるライフタイムコントロール法に代わり、たとえば図8に示すように、He⁺やH⁺などのイオン種を照射することにより、N⁻型ベース層102内の深さ方向において、局所的にライフタイムを短縮化することが試みられている。

【0020】He⁺やH⁺などのイオン種は、照射時の加速電圧を変えるか、または、加速電圧一定で、Al薄膜をアブソーバとして照射することにより、N⁻型ベース層102内の任意の深さに再結合中心となる欠陥110を局所的に発生させることができる。

【0021】このイオン線照射によるライフタイムコントロール法の場合、N⁻型ベース層102内の深さ方向に対して任意に局在化した欠陥110を形成できるので、N⁻型ベース層102中のホール分布を最適にコントロールする（つまり、伝導度変調の度合いを最適化すること）ことができ、放射線照射などによるライフタイムコントロール法の場合よりも、オン抵抗の増大を招くことなく、高速化できる。

【0022】しかしながら、上記したイオン線照射によるライフタイムコントロール法においても、依然として、次のような問題点がある。IGBTの阻止耐圧は、IGBT内に寄生しているPNP-Trのベース開放降伏電圧V_{ce0}により実質的に決定されている。このため、阻止状態では、たとえば図9に示すように、空乏層111が成長して寄生PNP-Trのベース層（N⁻型ベース層102）が空乏化されていく。

【0023】このとき、PNP-Trはアーリ効果が生じ、実効ベース幅W_eが変調（短縮）する。実効ベース幅W_eが短くなることにより、寄生PNP-Trのエミッタ接地電流利得β₀は、下式の数2にもとづいて増加する。

【0024】

【数2】

$$\beta_0 \propto \frac{N_E}{N_B} \cdot \frac{2L_P^2}{W_B^2}$$

【0025】ただし、L_Pはホールの拡散長、W_eは実効ベース幅、N_E、N_Bはそれぞれエミッタ濃度、ベース濃度である。ところで、PNP-Trのベース開放降伏電圧V_{ce0}およびその漏れ電流I_{ce0}と、エミッタ開放降伏電圧V_{ce0}およびその漏れ電流I_{ce0}とは、下式の数3、数4のような関係がある。

【0026】

【数3】

$$V_{CED} \propto V_{CBO} (\beta_0)^{1/n}$$

【0027】

【数4】

$$I_{CEO} \propto \beta_0 \cdot I_{CBO}$$

【0028】ここで、上記実効ベース幅 W_b の変調にともなう寄生PNP- T_r のエミッタ接地電流利得 β の増加は、エミッタ開放降伏電圧 V_{ce} の低下およびその漏れ電流 I_{ce} の増大、つまり、IGBTの V_{ce} の低下および I_{ce} の増大を招くことを示唆しており、信頼性の面で不安定である。

【0029】先に述べたように、電子線の照射などによって N^- 型ベース層102内全域を低ライフタイム化した場合、空乏化が進み、実効ベース幅 W_b が小さくなっても、非空乏化領域でのホールの拡散長 L_h が十二分に低いいため、寄生PNP- T_r のエミッタ接地電流利得 β はほとんど増加しない。

【0030】これに対し、イオン線照射により N^- 型ベース層102内に局在化した低ライフタイム層（欠陥110）を形成した場合では、局在化した低ライフタイム層が空乏層111内に取り込まれてしまうと、急激に寄生PNP- T_r のエミッタ接地電流利得 β が増加する。これが、 V_{ce} の低下および I_{ce} の増大を引き起こし、素子を熱暴走させたり、時には、熱破壊にいたらせる。次に、スイッチング動作時における問題点について説明する。IGBTのコレクタ電流 I_c は、下式の数5により示される。

【0031】

【数5】

$$I_c \propto \beta_0 \frac{Z}{L} \mu_n C_0 (V_G - V_T) V_c$$

【0032】ただし、 Z はチャネル周囲長、 L はチャネル長、 μ_n は移動度、 C_0 はゲート絶縁膜容量、 V_G はゲート電圧、 V_T はしきい値電圧、 V_c はコレクタ電圧である。

【0033】このスイッチング動作時においても、上記の場合と同様に、スイッチングターンオフ時に局在化した低ライフタイム層が空乏層111内に取り込まれると、寄生PNP- T_r のエミッタ接地電流利得 β の増加にともなう、IGBTのコレクタ電流 I_c が変曲してしまい、スイッチングオフ時の電流・電圧積である、スイッチングターンオフロスが増大してしまうという不具合があった（図10参照）。

【0034】これらの問題に関しては、たとえば、 N^- 型ベース層102の厚さおよび濃度を、下式の数6を満足するように設計することによって、ある程度は解決できる。

【0035】

【数6】

$$W_B > \underbrace{\sqrt{\frac{2\epsilon_s \cdot \epsilon_0 (V_{bi} - V)}{q \cdot N_B}}}_{\text{第1項}} + \underbrace{4 \times 10^{-3}}_{\text{第2項}} \quad (\text{cm})$$

$$V_{bi} \approx 0.7V$$

【0036】ただし、 W_b は実効ベース幅、 ϵ_s 、 ϵ_0 はそれぞれシリコンの誘電率および真空誘電率、 V_{bi} はP型ベース層103と N^- 型ベース層102とのPN接合の内部電圧、 V はコレクタ電圧（〈所望の耐圧値〉逆バイアスの場合は負の値を取る）、 N_b はベース濃度、 q は電荷量である。

【0037】また、上記数6の式の第1項は、ある印加電圧における空乏層111の幅を示すものであり、第2項は、イオン線照射によって形成される欠陥110の分布幅である。

【0038】シリコン中への、 He^{++} 、 H^{++} などのイオン種を照射した場合の欠陥分布幅は、たとえば図11に示すように、SR（Spreading Resistance）法によると40 μm 程度であり、イオン種のドーズ量や基板濃度の依存をほとんど受けない。

【0039】よって、上記の数6の式を満足させるように、実効ベース幅 W_b を所望の耐圧になるように設定してやれば、イオン線の照射によって形成された、局在化した低ライフタイム層はブレイクダウンしても非空乏化領域内におさまるため、十二分に低いエミッタ接地電流利得 β を維持する。

【0040】すなわち、実効ベース幅 W_b を40 μm 以上に設定すれば、寄生PNP- T_r のエミッタ接地電流利得 β の変調（増加）を抑えることができ、耐圧の劣化や漏れ電流の増大、および、スイッチングターンオフロスの増大といった問題を回避できる。

【0041】しかし、上記した数6の式の条件を満足するようにした場合にも、なお、次のような問題を有していた。すなわち、IGBTのターンオフは、前述したように、大半はキャリアライフタイムにより律速されているが、BJTなどの他のバイポーラ素子と同様に、ターンオフ時にP型ベース層103と N^- 型ベース層102とのPN接合が逆バイアスされることによって形成される空乏層により、 N^- 型ベース層102内の少数キャリア（ホール）が強制的に掃き出されることにも大きく左右される。

【0042】このため、電源電圧が素子耐圧以下（通常は、規格の約半分程度で使用されることが多い）の場合、たとえば図12に示すように、低ライフタイム化されていない非空乏化領域が過剰に残り、過剰少数キャリアが多く残存することにより、テール電流が増大する。

【0043】この問題は、単純にイオン線照射の際のドーズ量を増やすことで解決できるが、当然の如く、オン電圧が急激に悪化する。なお、従来においては、たとえ

は図13に示すように、P型コレクタ層101とN⁻型ベース層102との間にN⁺型バッファ層120を設けた構成(P⁺-N⁻-N⁺ウェーハ)のIGBTも実用化されているが、このIGBTにおいても、上記IGBTと同様の問題があった。

【0044】

【発明が解決しようとする課題】上記したように、従来においては、耐圧の劣化や漏れ電流の増大、および、スイッチングターンオフロスの増大を、実効ベース幅W、の耐圧の設定により回避するようにした場合、電源電圧が低いとテール電流が増大するという問題があった。

【0045】そこで、この発明は、耐圧の劣化や漏れ電流の増大を招くことなく、高信頼性で、かつ、電源電圧が比較的低い場合にもテール電流が小さく、しかも、オン電圧およびターンオフ時間のトレードオフを改善することが可能な半導体装置を提供することを目的としている。

【0046】

【課題を解決するための手段】上記の目的を達成するために、この発明の半導体装置にあっては、第1導電型の半導体層からなる第1の領域と、この第1の領域の一主面に選択的に形成された第2導電型の半導体層からなる第2の領域と、この第2の領域の一主面に選択的に形成された第1導電型の半導体層からなる第3の領域と、前記第1の領域の他主面に形成された第2導電型の半導体層からなる第4の領域と、前記第2の領域上の少なくとも一部を含んで、前記第1の領域上に絶縁膜を介して形成された制御電極と、前記第3の領域上の少なくとも一部を含んで、前記第2の領域上に形成された第1電極と、前記第4の領域上に形成された第2の電極と、前記第1の領域内に局在化して配置された複数の再結合中心格子欠陥とから構成されている。

【0047】この発明の半導体装置によれば、非空乏化領域のほぼ全域を実質的に低ライフタイム化できるようになる。これにより、外部電源電圧が比較的低く、非空乏化領域が過剰に残る場合にも、非空乏化領域内の過剰少数キャリアを減らすことが可能となるものである。

【0048】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図1は、本発明の実施の一形態にかかる、伝導度変調型の半導体装置、いわゆる、IGBT (Insulated Gate Bipolar Transistor) の概略構成を示すものである。なお、ここでは、Nチャネル型を例に、1200V系のIGBTについて説明する。

【0049】たとえば、低不純物濃度の高抵抗N⁻型ベース層(第1の領域)11の表面には、P型ベース層(第2の領域)12が選択的に形成されている。このP型ベース層12の表面には、N⁺型エミッタ層(第3の領域)13が選択的に形成されている。

【0050】そして、上記N⁻型ベース層11、および、このN⁻型ベース層11に隣接する上記P型ベース層12の表面には、薄い絶縁膜14を介して、ポリシリコンゲート電極(制御電極)15が設けられている。

【0051】また、上記N⁺型エミッタ層13、および、このN⁺型エミッタ層13に挟まれた上記P型ベース層12の表面には、それぞれを短絡するようにして、金属エミッタ電極(第1電極)16が設けられている。

【0052】さらに、上記ポリシリコンゲート電極15上には、これに接続されて、金属ゲート電極17が設けられている。一方、上記N⁻型ベース層11の裏面には、P型コレクタ層(第4の領域)18が形成されるとともに、これに接続されて、金属コレクタ電極(第2電極)19が設けられている。

【0053】そして、上記N⁻型ベース層11内には、たとえば、上記P型コレクタ層18との接面より20 μ mほどのところに欠陥ピークを有する第1の低ライフタイム層(再結合中心格子欠陥)21と、上記P型コレクタ層18との接面より60 μ mほどのところに欠陥ピークを有する第2の低ライフタイム層22とが、それぞれ配置されている。

【0054】上記第1、第2の低ライフタイム層21、22の形成は、たとえば、金属コレクタ電極19側より、厚さの異なるA1薄膜をアブソーバとして、H⁺のイオン種をそれぞれ照射することによって行われる。

【0055】次に、上記したNチャネル型IGBTの製造方法について説明する。まず、たとえば、シリコンにリンなどの不純物をドーピングし、不純物濃度が低くて、比抵抗が70 $\Omega \cdot \text{cm}$ とされた、280 μ m厚の基板(N⁻型ベース層11)を用意する。

【0056】そして、その基板の裏面にBSG膜をCVD (Chemical Vapor Deposition) 法により形成した後、これを拡散源として、P型コレクタ層18を80 μ mの厚さで拡散形成する。

【0057】BSG膜を除去した後、N⁻型ベース層11の表面を酸化して絶縁膜14を1000オングストローム程度の膜厚で形成し、その上に、約5000オングストロームの厚さでポリシリコンを形成する。

【0058】この後、ポリシリコンを部分的に開孔してポリシリコンゲート電極15を形成するとともに、このポリシリコンゲート電極15をマスクにボロンを8 μ m程度の厚さで拡散してP型ベース層12を形成する。

【0059】次いで、ポリシリコンゲート電極15間の絶縁膜14を部分的に開孔し、それをエミッタ形成用のマスクとし、ドーズ量 $5 \times 10^{11} \text{ cm}^{-2}$ 程度の条件にて、Asのイオン注入を行い、熱処理して、P型ベース層12内にN⁺型エミッタ層13を形成する。

【0060】再度、表面にCVD法により絶縁膜14を15000オングストローム程度の厚さで形成した後、この絶縁膜14を選択的に除去し、上記ポリシリコンゲ

ート電極15上、上記P型ベース層12および上記N⁺型エミッタ層13上の一部がそれぞれ露出するように開孔する。

【0061】そして、その開孔内を埋め込むように表面上にAlなどの金属膜を形成し、それをパターンニングして、上記金属エミッタ電極16および上記金属ゲート電極17をそれぞれ形成する。

【0062】一方、N⁺型ベース層11の裏面に形成された、上記P型コレクタ層18の表面にはVまたはAuなどの金属膜を形成し、これを、金属コレクタ電極19とする。

【0063】また、金属コレクタ電極19上に、75 μ m程度の厚さのAl薄膜をアブソーバとして形成して素子の裏面を保護するとともに、この裏面から、加速電圧4.5 MeV、ドーズ量 $1 \times 10^{10} \sim 1 \times 10^{12}$ cm⁻²の条件にて、1回目のH⁺の照射を行って、N⁺型ベース層11内に第1の低ライフタイム層21を形成する。このとき、第1の低ライフタイム層21は、P型コレクタ層18より20 μ m付近のところに欠陥ピークが形成され、そのピーク位置に対して ± 20 μ mの分布幅をとる。

【0064】続いて、35 μ m程度の厚さのAl薄膜をアブソーバとして素子の裏面を保護し、この裏面から、加速電圧4.5 MeV、ドーズ量 $1 \times 10^{10} \sim 1 \times 10^{12}$ cm⁻²の条件にて、2回目のH⁺の照射を行って、N⁺型ベース層11内に第2の低ライフタイム層22を形成する。このとき、第2の低ライフタイム層22は、P型コレクタ層18より60 μ m付近のところに欠陥ピークが形成され、そのピーク位置に対して ± 20 μ mの分布幅をとる。

【0065】以上のようにして、図1に示した構造の、Nチャネル型のIGBTが完成される。図2は、上記したNチャネル型のIGBTにおける、低ライフタイム層21、22の形成にともなう、N⁺型ベース層11中でのホールの分布の状態を示すものである。

【0066】このような構成によれば、電源電圧が比較的低く、非空乏化領域11aが過多に残ったとしても、非空乏化領域11aは1回目および2回目のH⁺の照射により実質的にはほぼ全域が低ライフタイム化されているため、非空乏化領域11a内での過剰少数キャリアが少

なく、テール電流を効率的に低減できる。

【0067】すなわち、このIGBTの場合、実効ベース幅W_bが約190 μ mになるように、N⁺型ベース層11の厚さが上記数6の式の条件を満足する280 μ mに設定されている。これにより、たとえば電源電圧が600Vのとき、空乏層11bの延び幅は約110 μ mとなり、非空乏化領域11aの残り幅が約80 μ mとなるが、60 μ m付近には局在化した第2の低ライフタイム層22が存在するため、非空乏化領域11a内全域が完全に低ライフタイム化される。

【0068】また、2回目のH⁺の照射量は1回目よりも1オーダー低い、つまり、2回目のイオン線照射による低ライフタイム層22は、1回目のイオン線照射による低ライフタイム層21の再結合順位よりも浅いため、オン電圧の極端な増大を招くこともない。

【0069】しかも、1回目のH⁺の照射によって局在化して形成された低ライフタイム層21により、寄生PNP-T_rのエミッタ接地電流利得 β は律速されるため、電源電圧が上り、2回目のH⁺の照射により局在化して形成された低ライフタイム層22が空乏層11b内に取り込まれたとしても、エミッタ接地電流利得 β の変調は無視でき、耐圧の低下やI_{ce}、およびスイッチングターンオフロスの増大を招くこともない。

【0070】図3は、上記した構造のIGBT（本発明素子）におけるトレードオフカーブを、従来素子と比較して示すものである。なお、ここでは、1回のイオン線照射により局在化した低ライフタイム層を形成してなるIGBTを従来素子として示している。

【0071】この図からも明らかなように、本発明素子によれば、電源電圧が素子耐圧以下（600V）の場合においても、フォールタイム（スイッチング特性）t_fに対するコレクタ〜エミッタ間飽和電圧V_{ce}（オン電圧特性）が従来素子よりも小さくなって、トレードオフが改善されていることが分かる。

【0072】上記したように、N⁺型ベース層中の非空乏化領域内のほぼ全域を実質的に低ライフタイム化できるようにしている。すなわち、N⁺型ベース層内のP型コレクタ層より20 μ m付近のところに60 μ m付近のところに、それぞれ局在化した低ライフタイム層を形成するようにしている。これにより、外部電源電圧が比較的低く、非空乏化領域が過多に残る場合にも、非空乏化領域内全域を完全に低ライフタイム化できるようになる。したがって、非空乏化領域内の過剰少数キャリアを減らすことが可能となり、テール電流を効率的に低減できるようになるものである。

【0073】しかも、60 μ m付近のところに局在化して形成される低ライフタイム層は、20 μ m付近のところに局在化して形成される低ライフタイム層の再結合順位よりも浅いため、オン電圧の極端な増大を招くこともない。

【0074】さらに、20 μ m付近のところに局在化して形成された低ライフタイム層が空乏層内に取り込まれることがないように設計されているため、耐圧の低下や漏れ電流の増大、および、スイッチングターンオフロスの増大を招くこともない。

【0075】なお、上記した本発明の実施の一形態においては、低ライフタイム層の形成にH⁺を照射するようにした場合について説明したが、これに限らず、たとえばH⁺や重陽子（Deuteron）などを照射することによっても同様に実施できる。

【0076】また、2回のイオン線照射によらず、必要に応じて、飛程の異なる複数回のイオン線照射を施すようにしても良い。また、イオン線照射のみに限らず、軽度の電子線照射を組み合わせるようにすることも可能である。

【0077】また、図4に示すように、凹凸形状を有してP型コレクタ層18[′]を形成するようにしても良い。この場合、実効ベース幅W₀をP型コレクタ層18[′]の凸状部分によって決定するようにすれば、図1に示した構造のIGBTとほぼ同等の効果が期待できる。

【0078】しかも、凹状部分については、実効ベース幅W₀が長くなる分、この領域でのエミッタ接地電流利得β₀が大きくなり、耐圧の劣化や漏れ電流に関しては図1に示した構造のIGBTよりも有利である。

【0079】また、図5に示すように、N⁻型ベース層11とP型コレクタ層18との間にN⁺型バッファ層30を設けてなる構成のIGBTにも適用可能である。さらに、1200V系のNチャンネル型IGBTに限らず、たとえばPチャンネル型のIGBTにも同様に適用できることはいうまでもなく、また、1200V系以外のIGBTにも同様に適用可能である。その他、この発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【0080】

【発明の効果】以上、詳述したようにこの発明によれば、耐圧の劣化や漏れ電流の増大を招くことなく、高信頼性で、かつ、電源電圧が比較的低い場合にもテール電流が小さく、しかも、オン電圧およびターンオフ時間のトレードオフを改善することが可能な半導体装置を提供できる。

【図面の簡単な説明】

【図1】この発明の実施の一形態にかかる、Nチャンネル型のIGBTの概略構成を示す断面図。

【図2】同じく、Nチャンネル型のIGBTにおける、N⁻型ベース層中でのホール分布の状態を示す概略図。

【図3】同じく、Nチャンネル型のIGBTにおけるトレ

*ードオフカーブを、従来素子と比較して示す概略図。

【図4】この発明の実施の他の形態にかかる、Nチャンネル型のIGBTの概略断面図。

【図5】この発明の実施のさらに他の形態にかかる、Nチャンネル型のIGBTの概略断面図。

【図6】従来技術とその問題点を説明するために示す、Nチャンネル型のIGBTの概略断面図。

【図7】同じく、電子線の照射による、低キャリアライフタイム法について説明するために示す概略図。

10 【図8】同じく、イオン線の照射による、低キャリアライフタイム法について説明するために示す概略図。

【図9】同じく、IGBTの阻止状態における空乏層の成長とその等価回路について示す概略図。

【図10】同じく、IGBTのターンオフ波形を示す概略図。

【図11】同じく、イオン線照射による欠陥分布プロファイルの、ドーズ量の依存性を説明するために示す概略図。

20 【図12】同じく、テール電流の電源電圧に対する依存性を説明するために示す概略図。

【図13】同じく、Nチャンネル型のIGBTの他の構成を示す概略断面図。

【符号の説明】

11…N⁻型ベース層

11a…非空乏化領域

11b…空乏層

12…P型ベース層

13…N⁺型エミッタ層

14…絶縁膜

30 15…ポリシリコンゲート電極

16…金属エミッタ電極

17…金属ゲート電極

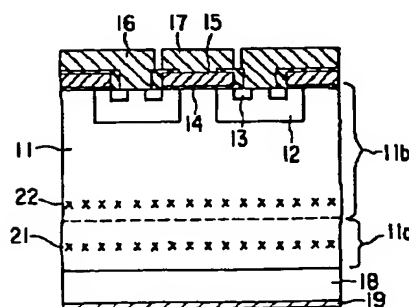
18…P型コレクタ層

19…金属コレクタ電極

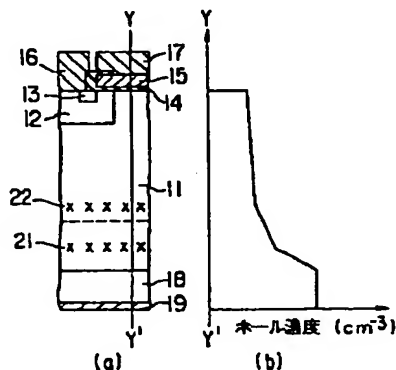
21…第1の低ライフタイム層

22…第2の低ライフタイム層

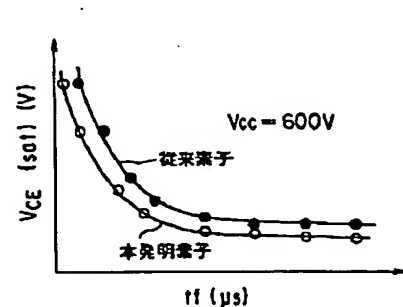
【図1】



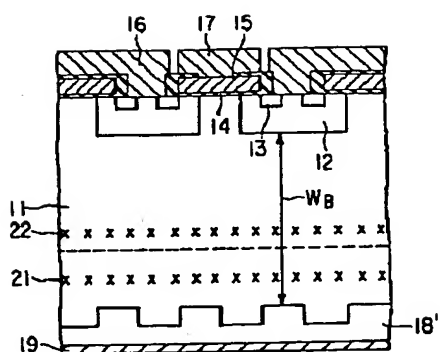
【図2】



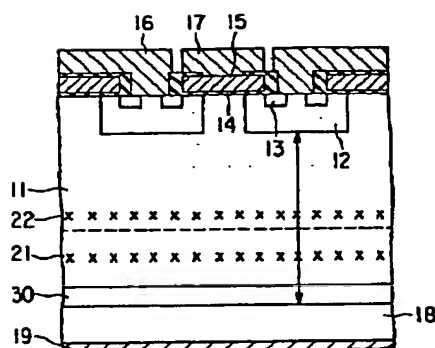
【図3】



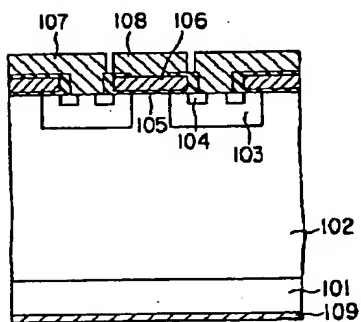
【図4】



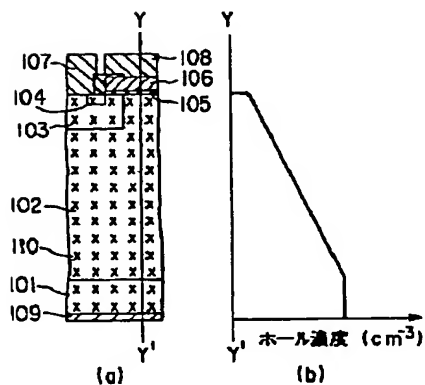
【図5】



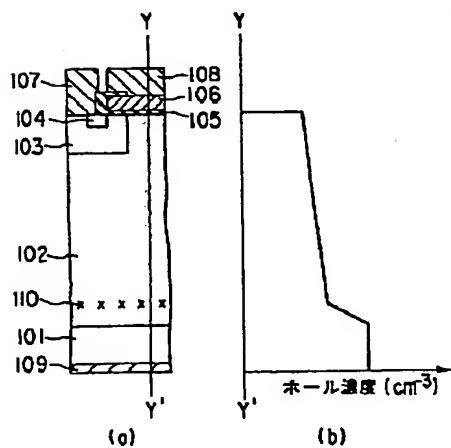
【図6】



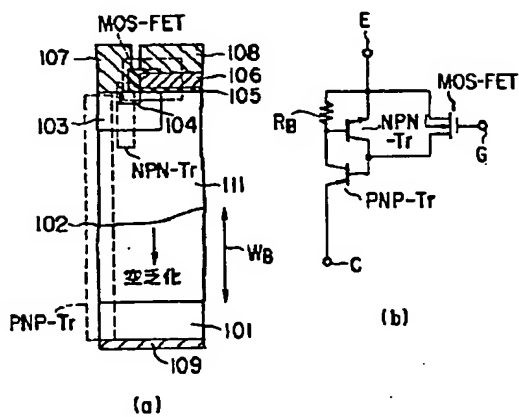
【図7】



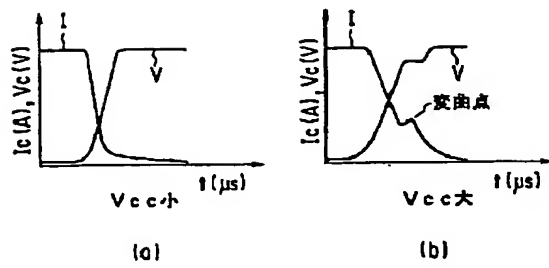
【図8】



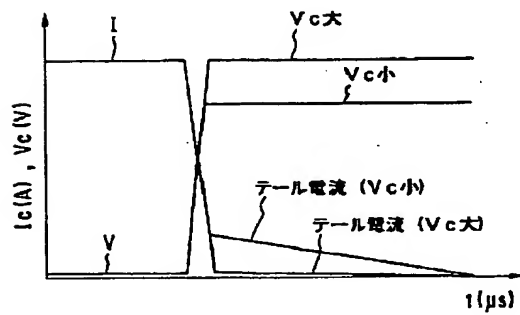
【図9】



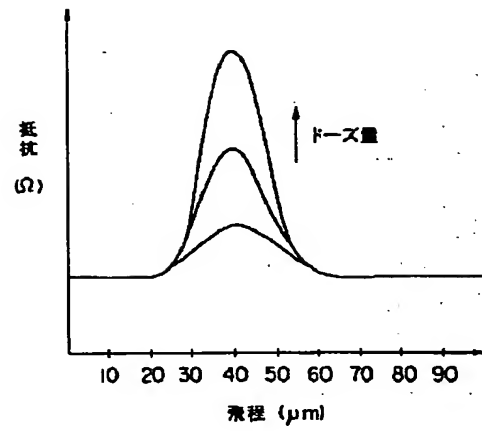
【図10】



【図12】



【図11】



【図13】

